

DERWENT-ACC-NO: 1997-326077

DERWENT-WEEK: 199730

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Ceramic ball grid array package e.g. high speed semiconductor device - has solder bumps formed in array at package undersurface, with bumps at centre smaller and bump size growing larger as bumps are positioned nearer periphery of package

PATENT-ASSIGNEE: FUJITSU LTD[FUIT]

PRIORITY-DATA: 1995JP-0280388 (October 27, 1995)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
JP 09129774 A	May 16, 1997	N/A	011 H01L
023/12			

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 09129774A	N/A	1995JP-0280388	October 27, 1995

INT-CL (IPC): H01L023/12

ABSTRACTED-PUB-NO: JP 09129774A

BASIC-ABSTRACT:

The package (20) has a GaAs large-scale integration chip (2) mounted on its surface, with the flat undersurface of the chip in contact with the package surface.

Solder bumps (22) are formed in an array at the undersurface of the package.

The bumps are smaller at the centre and their sizes grow larger as they are positioned nearer the periphery of the package.

ADVANTAGE - Improves transmission characteristics of high-speed signal,

connection reliability, and mounting characteristics since shorter wire is required for connection. Reduces device cost since simple, general-purpose package ceramic plate may be used as package. Minimises stress generated from

mismatched thermal expansion coefficient with difference in size of solder bumps with respect to their position; reduces probability that semiconductor chip mounted on package is damaged even with introduction of heat to package.

CHOSEN-DRAWING: Dwg.1/15

TITLE-TERMS: CERAMIC BALL GRID ARRAY PACKAGE HIGH SPEED
SEMICONDUCTOR DEVICE

SOLDER BUMP FORMING ARRAY PACKAGE UNDERSURFACE BUMP
CENTRE SMALLER

BUMP SIZE GROW LARGER BUMP POSITION NEARBY PERIPHERAL
PACKAGE

DERWENT-CLASS: U11

EPI-CODES: U11-D01A3; U11-D01A5;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1997-270210

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-129774

(43) 公開日 平成9年(1997)5月16日

(51) Int.Cl. ⁸	識別記号	片内整理番号	F I	技術表示箇所
H 0 1 L 23/12			H 0 1 L 23/12	L Q

審査請求 未請求 請求項の数16 O L (全 11 頁)

(21) 出願番号	特願平7-280388	(71) 出願人	000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号
(22) 出願日	平成7年(1995)10月27日	(72) 発明者	戸谷 眞 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72) 発明者	大野 正樹 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(72) 発明者	黒田 康秀 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内
		(74) 代理人	弁理士 伊東 忠彦

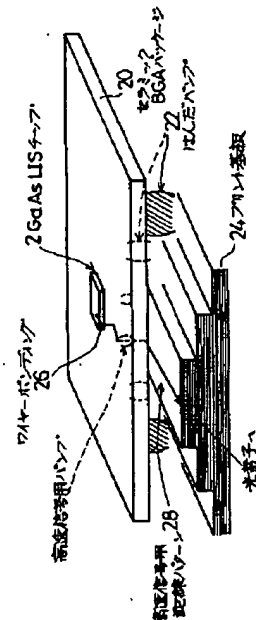
(54) 【発明の名称】 バンプグリッドアレイ型パッケージ及び基板並びに実装構造

(57) 【要約】

【課題】 バンプグリッドアレイ型パッケージの実装構造において、高速信号の伝送特性、接続信頼性、及び実装性の向上を図る。

【解決手段】 平坦な下面を有し半導体装置を上面に搭載するためのパッケージ本体部と、前記パッケージ本体部の平坦な下面側に形成され、前記パッケージ本体部の外周方向に寸法が大きくなる複数のはんだバンプとを有するバンプグリッドアレイ型パッケージと、前記はんだバンプの高さに応じて、高さが段階的に形成されている部分を有する基板とにおいて、前記バンプグリッドアレイ型パッケージの前記はんだバンプが前記段階的に形成されている部分に接合されることによって、前記バンプグリッドアレイ型パッケージが前記基板に実装される。

図1に示したセラミックBGAパッケージの図2に示した基板への実装構造を示す図



【特許請求の範囲】

【請求項1】 平坦な下面を有し半導体装置を上面に搭載するためのパッケージ本体部と、
前記パッケージ本体部の平坦な下面側に形成され、前記パッケージ本体部の外周方向に寸法が大きくなる複数のはんだバンプとを有することを特徴とするバンプグリッドアレイ型パッケージ。

【請求項2】 請求項1記載のバンプグリッドアレイ型パッケージを実装する基板であって、
前記バンプグリッドアレイ型パッケージに形成された前記はんだバンプの高さに応じて、前記基板の高さが段階的に形成されている部分を有し、
前記バンプグリッドアレイ型パッケージの前記はんだバンプが前記段階的に形成されている部分に接合されることによって、前記バンプグリッドアレイ型パッケージが前記基板に実装されることを特徴とする基板。

【請求項3】 請求項1記載のバンプグリッドアレイ型パッケージを実装する基板であって、
前記バンプグリッドアレイ型パッケージに形成された前記はんだバンプの高さに応じた高さを有し、底面にフットプリントが形成されている複数の凹部を有し、
前記バンプグリッドアレイ型パッケージの前記はんだバンプが前記凹部に接合されることによって、前記バンプグリッドアレイ型パッケージが前記基板に実装されることを特徴とする基板。

【請求項4】 請求項1記載のバンプグリッドアレイ型パッケージの前記はんだバンプが請求項2記載の基板の前記段階的に形成された部分に接合されることによって、前記バンプグリッドアレイ型パッケージが前記基板に実装されていることを特徴とする実装構造。

【請求項5】 請求項1記載のバンプグリッドアレイ型パッケージの前記はんだバンプが請求項3記載の基板の前記凹部に接合されることによって、前記バンプグリッドアレイ型パッケージが前記基板に実装されていることを特徴とする実装構造。

【請求項6】 前記半導体装置は前記バンプグリッドアレイ型パッケージの中央部に搭載され、前記半導体装置の高速信号用端子は、前記バンプグリッドアレイ型パッケージの中央部に形成された前記はんだバンプに接続されていることを特徴とする請求項1記載のバンプグリッドアレイ型パッケージ。

【請求項7】 前記段階的に形成されている部分の最も表面の部分に、高速信号伝搬用配線パターンを有することを特徴とする請求項2記載の基板。

【請求項8】 最も表面の部分に、高速信号伝搬用配線パターンを有することを特徴とする請求項3記載の基板。

【請求項9】 前記半導体装置は前記バンプグリッドアレイ型パッケージの中央部に搭載され、前記半導体装置の高速信号用端子は、前記バンプグリッドアレイ型パッ

ケージの中央部に形成された前記はんだバンプを介して、前記基板の前記段階的に形成されている部分の最も表面の部分に形成された高速信号伝搬用配線パターンに接続されていることを特徴とする請求項4記載の実装構造。

【請求項10】 前記半導体装置は前記バンプグリッドアレイ型パッケージの中央部に搭載され、前記半導体装置の高速信号用端子は、前記バンプグリッドアレイ型パッケージの中央部に形成された前記はんだバンプを介して、前記基板の最も表面の部分に形成された高速信号伝搬用配線パターンに接続されていることを特徴とする請求項5記載の実装構造。

【請求項11】 請求項9記載の実装構造と、
前記高速信号伝搬用配線パターンに接続された光素子と、
前記半導体装置に接続された電子回路とを含むことを特徴とする電子装置。

【請求項12】 前記バンプグリッドアレイ型パッケージの中央部に形成されている前記はんだバンプは、中心部に第1の金属を有し外周部にはんだを有するコア入りバンプを含むことを特徴とする請求項1又は6記載のバンプグリッドアレイ型パッケージ。

【請求項13】 上面に半導体装置を搭載し下面に複数のはんだバンプを有するバンプグリッドアレイ型パッケージを実装する基板であって、
前記バンプグリッドアレイ型パッケージを実装する領域に、複数のスルーホールが形成されていることを特徴とする基板。

【請求項14】 上面に半導体装置を搭載し、下面に複数のはんだバンプを有するバンプグリッドアレイ型パッケージであって、
下面に最上層を酸化し易くはんだ濡れが悪い第1の金属の薄膜で構成したグラウンドパターンを有し、
前記グラウンドパターン上に最上層を酸化しにくくはんだ濡れが良い第2の金属の薄膜で構成したはんだバンプを有することを特徴とするバンプグリッドアレイ型パッケージ。

【請求項15】 上面に半導体装置を搭載し、下面に複数のはんだバンプを有するバンプグリッドアレイ型パッケージであって、

前記パッケージの端部に前記はんだバンプと確定的な位置関係にある良否判定用パターンを有し、

前記パッケージの製造時、前記良否判定用パターンが前記パッケージから欠けた場合及び前記良否判定用パターンの位置が所定の領域からずれている場合の少なくともどちらか一方を満足する場合、前記パッケージは否と判断されることを特徴とするバンプグリッドアレイ型パッケージ。

【請求項16】 上面に半導体装置を搭載し、下面に複数のはんだバンプを有するバンプグリッドアレイ型パッ

ケージであって、
前記パッケージの端部に前記はんだバンパと確定的な位置関係にある良否判定用スルーホールを有し、
前記パッケージの製造時、前記良否判定用スルーホールが前記パッケージから欠けた場合及び前記良否判定用スルーホールの位置が所定の領域からずれている場合の少なくともどちらか一方を満足する場合、前記パッケージは否と判断されることを特徴とするバンパグリッドアレイ型パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バンパグリッドアレイ型パッケージ及び基板並びに実装構造に関し、特に、高速信号を扱う半導体装置を実装するためのバンパグリッドアレイ型パッケージ及び基板並びに実装構造に関する。

【0002】

【従来の技術】光信号などを処理するために、GaAs等を用いて半導体装置の高速化が図られている。このような高速信号用半導体装置の開発に伴って、その半導体装置を実装する技術も高速信号に対応したものでなければならない。例えば、2.4Gbit/s用光/電モジュールを実装する場合、光素子とGaAsLSIチップとの間の配線長を10mm以下になるようにモジュールを実装する必要がある。

【0003】また、常に、チップ及びパッケージを堅固に基板に接続する必要がある。さらに、チップ及びパッケージを容易に基板等を実装できる必要がある。このように、高速特性、接続信頼性、及び実装性に優れた高速信号用半導体装置のパッケージ及び実装技術の開発が要求されている。

【0004】始めに、高速特性に関して従来の実装構造について説明する。図11に、従来の高速信号用LSIチップの実装構造例1を示す。図11では、プリント基板1上に、GaAsLSIチップ2、光素子3、及びチップ抵抗4が実装されている。GaAsLSIチップ2は、エポキシ樹脂5で保護され、光素子3は、さらに光ファイバ6に接続されている。例えば、高速のデータ信号が、GaAsLSIチップ2に供給され処理された後、高速の電気信号としてチップ抵抗4を介して光素子3に供給される。光素子3では、高速の電気信号を光信号に変換して光ファイバ6を介して他の回路へ送信する。また、逆に、光ファイバ6を介して光素子3に到来した光信号は、高速の電気信号に変換されてチップ抵抗4を介してGaAsLSIチップ2に供給される。

【0005】このように、GaAsLSIチップ2と光素子3との間は、非常に高速の電気信号が伝送される。高周波信号が、プリント基板1に配した分布定数線路を伝送する場合、一般的にインダクタンス成分が発生し損失となる。従って、GaAsLSIチップ2と光素子3

との間の配線長は、極力短くする必要がある。そのためには、図11に示すように、GaAsLSIチップ2を直接プリント基板1の上に実装するチップオンボード(COB)実装が適している。

【0006】しかし、プリント基板1の熱膨張係数は20ppmで、GaAsLSIチップ2の熱膨張係数は6.4ppmで、両者の熱膨張係数は不整合である。また、GaAsLSIチップ2は、比較的脆いことにより、熱履歴が加わった場合、GaAsLSIチップ2が割れる恐れが生じる。

【0007】そこで、図12に示すような実装構造が考えられている。図12は、従来の高速信号用LSIチップの実装構造例2を示す。この実装構造例2では、GaAsLSIチップ2は、セラミックQFP(Quad Flat Package)7にパッケージングされ、それがプリント基板1にリード8を介して実装されている。セラミックの熱膨張係数は、約7ppmなので、GaAsLSIチップ2の熱膨張係数6.4ppmと整合し、熱履歴が加わっても割れる恐れはない。しかし、セラミックQFP7のGaAsLSIチップ2の実装位置からリードまでの距離が長いので、GaAsLSIチップ2と光素子3との間の距離が、特性上要求されている10mmを大きくオーバーする。

【0008】そこで、現在は、図13に示すような実装構造が主に使用されている。図13は、従来の高速信号用LSIチップの実装構造例3を示す。この実装構造例3では、GaAsLSIチップ2は、セラミック・バンパグリッドアレイ型(BGA:Bump Grid Array)パッケージ9上にパッケージングされエポキシ樹脂11で保護されている。セラミックBGAパッケージ9は、さらにプリント基板1とはんだバンパ10によって実装されている。

【0009】はんだバンパ10は、図12に示すリード8に比べて配線長を短くできるので、GaAsLSIチップ2と光素子3との間の距離を、要求値より短くできる。さらに、セラミックの熱膨張係数は、約7ppmなので、GaAsLSIチップ2の熱膨張係数6.4ppmと整合し、熱履歴が加わっても割れる恐れはない。

【0010】次に、接続信頼性に関して従来の実装構造について説明する。図14は、従来のセラミックBGAパッケージの構造例を示す。(A)は、セラミックBGAパッケージをはんだバンパ形成面から見た図であり、(B)は、セラミックBGAパッケージの断面図である。

【0011】図13に示すようにGaAsLSIチップ2をセラミックBGAパッケージ9にパッケージングした場合、高速特性を安定化させるため、一般的にはんだバンパ10の形成面にグランドパターン12を形成する。従って、セラミックBGAパッケージ9をプリント基板1に信頼性高く接続するため、このグランドパター

ン12上にも、はんだバンパ10を形成する。

【0012】グラントパターン12及びグラントパターン12の領域以外のはんだバンパ10は、マスクパターンによって比較的精度良く形成される。しかし、グラントパターン12上のはんだバンパ10は、グラントパターン12上に、有機系レジスト及びガラスコートを使用してはんだバンパ用ランドを形成して構成される。

【0013】次に、実装性に関して従来の実装方法について説明する。図15は、従来のセラミックBGAパッケージをはんだバンパ形成面から見た図である。セラミックBGAパッケージ9をプリント基板1に実装する場合、汎用の表面実装装置（surface mount device：SMD）用の量産搭載機を使用することができる。この場合、セラミックBGAパッケージ9の外形寸法を使用して、セラミックBGAパッケージ9の位置合わせが行なわれる。

【0014】

【発明が解決しようとする課題】しかしながら、上述した従来のセラミックBGAパッケージ及びその実装構造には次のような問題点がある。図13に示した従来の実装構造例3では、良好な高速特性を得るためGaAsLSIチップ2と光素子3との間の配線長を短くする必要があり、そのためにはんだバンパ10は小さく構成される。この場合、セラミックBGAパッケージの熱膨張係数が7ppmで、プリント基板1の熱膨張係数が20ppmで、両者の熱膨張係数が不整合となり、はんだ接合部にクラックが発生する恐れがあった。

【0015】図14に示した従来のセラミックBGAパッケージでは、グラントパターン12上にはんだバンパ用ランドを形成するために、有機系レジスト及びガラスコートが使用されている。しかし、この方法では、グラントパターン12上のはんだバンパ用ランドの形成精度が悪く（ $\pm 100\mu\text{m}$ ）、その結果はんだバンパ10の高さがばらつき、接触不良となる恐れがあった。

【0016】図15に示した従来のセラミックBGAパッケージでは、セラミックBGAパッケージ9の外形寸法とはんだバンパ10の位置との関係が設計通りに決定されない場合がある。このようなセラミックBGAパッケージ9を、汎用のSDM用の量産搭載機を使用してプリント基板1に実装する場合、搭載位置がずれる恐れがあった。

【0017】本発明の目的は、上記の問題点を鑑みて、バンパグリッドアレイ型パッケージの実装構造において、高速信号の伝送特性、接続信性、及び実装性の向上を図る。

【0018】

【課題を解決するための手段】上記課題を解決するために本発明では、下記の手段を講じたことを特徴とするものである。請求項1記載の発明装置では、バンパグリッドアレイ型パッケージであって、平坦な下面を有し半導

体装置を上面に搭載するためのパッケージ本体部と、前記パッケージ本体部の平坦な下面側に形成され、前記パッケージ本体部の外周方向に寸法が大きくなる複数のはんだバンパとを有することを特徴とする。

【0019】請求項2記載の発明装置では、請求項1記載のバンパグリッドアレイ型パッケージを実装する基板であって、前記バンパグリッドアレイ型パッケージに形成された前記はんだバンパの高さに応じて、前記基板の高さが段階的に形成されている部分を有し、前記バンパグリッドアレイ型パッケージの前記はんだバンパが前記段階的に形成されている部分に接合されることによって、前記バンパグリッドアレイ型パッケージが前記基板に実装されることを特徴とする。

【0020】請求項3記載の発明装置では、請求項1記載のバンパグリッドアレイ型パッケージを実装する基板であって、前記バンパグリッドアレイ型パッケージに形成された前記はんだバンパの高さに応じた高さを有し、底面にフットプリントが形成されている複数の凹部を有し、前記バンパグリッドアレイ型パッケージの前記はんだバンパが前記凹部に接合されることによって、前記バンパグリッドアレイ型パッケージが前記基板に実装されることを特徴とする。

【0021】請求項4記載の発明の実装構造では、請求項1記載のバンパグリッドアレイ型パッケージの前記はんだバンパが請求項2記載の基板の前記段階的に形成された部分に接合されることによって、前記バンパグリッドアレイ型パッケージが前記基板に実装されていることを特徴とする。

【0022】請求項5記載の発明の実装構造では、請求項1記載のバンパグリッドアレイ型パッケージの前記はんだバンパが請求項3記載の基板の前記凹部に接合されることによって、前記バンパグリッドアレイ型パッケージが前記基板に実装されていることを特徴とする。

【0023】請求項6記載の発明装置では、請求項1記載のバンパグリッドアレイ型パッケージにおいて、前記半導体装置は前記バンパグリッドアレイ型パッケージの中央部に搭載され、前記半導体装置の高速信号用端子は、前記バンパグリッドアレイ型パッケージの中央部に形成された前記はんだバンパに接続されていることを特徴とする。

【0024】請求項7記載の発明装置では、請求項2記載の基板において、前記段階的に形成されている部分の最も表面の部分に、高速信号伝搬用配線パターンを有することを特徴とする。請求項8記載の発明装置では、請求項3記載の基板において、最も表面の部分に、高速信号伝搬用配線パターンを有することを特徴とする。

【0025】請求項9記載の発明装置では、請求項4記載の実装構造において、前記半導体装置は前記バンパグリッドアレイ型パッケージの中央部に搭載され、前記半導体装置の高速信号用端子は、前記バンパグリッドア

イ型パッケージの中央部に形成された前記はんだバンパを介して、前記基板の前記段階的に形成されている部分の最も表面の部分に形成された高速信号伝搬用配線パターンに接続されていることを特徴とする。

【0026】請求項10記載の発明装置では、請求項5記載の実装構造において、前記半導体装置は前記バンパグリッドアレイ型パッケージの中央部に搭載され、前記半導体装置の高速信号用端子は、前記バンパグリッドアレイ型パッケージの中央部に形成された前記はんだバンパを介して、前記基板の最も表面の部分に形成された高速信号伝搬用配線パターンに接続されていることを特徴とする。

【0027】請求項11記載の発明装置では、電子装置であって、請求項9記載の実装構造と、前記高速信号伝搬用配線パターンに接続された光素子と、前記半導体装置に接続された電子回路とを含むことを特徴とする。

【0028】請求項12記載の発明装置では、請求項1又は6記載のバンパグリッドアレイ型パッケージにおいて、前記バンパグリッドアレイ型パッケージの中央部に形成されている前記はんだバンパは、中心部に第1の金属を有し外周部にはんだを有するコア入りバンパを含むことを特徴とする。

【0029】請求項13記載の発明装置では、上面に半導体装置を搭載し下面に複数のはんだバンパを有するバンパグリッドアレイ型パッケージを実装する基板であって、前記バンパグリッドアレイ型パッケージを実装する領域に、複数のスルーホールが形成されていることを特徴とする。

【0030】請求項14記載の発明装置では、上面に半導体装置を搭載し、下面に複数のはんだバンパを有するバンパグリッドアレイ型パッケージであって、下面に最上層を酸化し易くはんだ濡れが悪い第1の金属の薄膜で構成したグラウンドパターンを有し、前記グラウンドパターン上に最上層を酸化しにくくはんだ濡れが良い第2の金属の薄膜で構成したはんだバンパを有することを特徴とする。

【0031】請求項15記載の発明装置では、上面に半導体装置を搭載し、下面に複数のはんだバンパを有するバンパグリッドアレイ型パッケージであって、前記パッケージの端部に前記はんだバンパと確定的な位置関係にある良否判定用パターンを有し、前記パッケージの製造時、前記良否判定用パターンが前記パッケージから欠けた場合及び前記良否判定用パターンの位置が所定の領域からずれている場合の少なくともどちらか一方を満足する場合、前記パッケージは否と判断されることを特徴とする。

【0032】請求項16記載の発明装置では、上面に半導体装置を搭載し、下面に複数のはんだバンパを有するバンパグリッドアレイ型パッケージであって、前記パッケージの端部に前記はんだバンパと確定的な位置関係に

ある良否判定用スルーホールを有し、前記パッケージの製造時、前記良否判定用スルーホールが前記パッケージから欠けた場合及び前記良否判定用スルーホールの位置が所定の領域からずれている場合の少なくともどちらか一方を満足する場合、前記パッケージは否と判断されることを特徴とする。

【0033】以上の発明は、以下のように作用する。請求項1記載のバンパグリッドアレイ型パッケージ、及び請求項2又は3記載の基板、並びに請求項4又は5記載の実装構造においては、平坦な下面を有するパッケージを使用でき、かつパッケージの外周方向にはんだバンパの寸法が大きくなるように構成される。従って、製造の簡易な汎用のセラミック平板をパッケージとして使用できるので低コスト化が実現できる。さらに、パッケージの中央部のはんだバンパを小さくしつつ、熱膨張係数の不整合により発生する応力を適切に緩和することができる。従って、上記の実装構造に熱履歴を加えた場合、バンパグリッドアレイ型パッケージ上に搭載した半導体装置が割れる確率を低減できる。

【0034】請求項6記載のバンパグリッドアレイ型パッケージ、請求項7又は8記載の基板、及び請求項9又は10記載の実装構造、並びに請求項11記載の電子装置においては、パッケージ中央に搭載された半導体装置の高速信号用端子は、パッケージの中央部に形成された比較的小さなはんだバンパを介して、基板の高速信号伝搬用配線パターンに接続される。

【0035】従って、半導体装置は、より短い配線長によって、光素子等の他デバイスに接続される。よって、高速信号を、より低損失で半導体装置と光素子等との間を伝搬させることができる。請求項12記載のバンパグリッドアレイ型パッケージにおいては、はんだバンパは、中心部に第1の金属を有し外周部にはんだを有するコア入りバンパを含む。従って、実装時、外周部のはんだバンパの溶融時の凝縮力によって、中央部の小さなはんだバンパが潰れることを防止できる。

【0036】請求項13記載の基板においては、バンパグリッドアレイ型パッケージを実装する領域に、複数のスルーホールが形成されている。従って、熱膨張係数の不整合による応力を緩和することができる。請求項14記載のバンパグリッドアレイ型パッケージにおいては、グラウンドパターン上のはんだバンパに関して、有機系レジストを使用せず、金属めっきによってはんだバンパを形成している。従って、はんだバンパの高さのばらつきを抑えることができ、接続不良の発生確率を低減することができる。

【0037】請求項15又は16記載のバンパグリッドアレイ型パッケージにおいては、パッケージの端部に良否判定用パターン或いは良否判定用スルーホールが形成されている。従って、良否判定を容易に行なえる。その結果、汎用の表面実装用の量産搭載機を使用して基板に

実装する場合、搭載位置がずれる恐れが大幅に低減でき、良好な実装性を実現できる。

【0038】

【発明の実施の形態】始めに、良好な高速特性を得るための本発明に係わる実装構造について説明する。まず、本発明に係わるセラミックBGAパッケージの実装構造について、図1～図4を参照して説明する。図1は、本発明に係わるセラミックBGAパッケージの第1実施例の構造図である。(A)は、セラミックBGAパッケージのはんだバンプ形成面から見た図であり、(B)は、セラミックBGAパッケージの断面図である。図2は、本発明に係わるプリント基板の第1実施例の構造図である。図3は、図1に示したセラミックBGAパッケージの図2に示した基板への実装構造を示す図である。図4は、本発明に係わる電子装置の第1実施例の構造図である。

【0039】図1に示すセラミックBGAパッケージ20は、 Al_2O_3 のセラミック平板で構成されており、パッケージの外周方向に高くなるように形成されたはんだバンプ22を有している。はんだの材質としては、60Sn/40Pbを使用できる。例えば、はんだバンプ22は、パッケージの中央部では $150\mu m$ 、その回りの領域では $500\mu m$ 、外周部では $800\mu m$ の高さを有している。

【0040】図2に示すプリント基板24は、例えば、FR-4なるプリント基板材料で構成することができる。また、プリント基板24は、図1に示すセラミックBGAパッケージ20のはんだバンプ22の高さに対応して、図2に示すように階段状に構成されている。各段では、はんだバンプ22を接続するための配線パターン25(或いはフットプリント)が形成されている。

【0041】図1に示したセラミックBGAパッケージ20は、図2に示したプリント基板24上に、図3に示すように実装される。このような構造は、セラミックBGAパッケージ20(熱膨張係数 $7ppm$)とプリント基板24(熱膨張係数 $20ppm$)との間の熱膨張係数の不整合性による応力を、緩和するように作用する。

【0042】一般的に、上記のセラミックBGAパッケージ20とプリント基板24との実装構造に熱履歴が加わると、セラミックBGAパッケージ20に応力が発生する。この応力は、セラミックBGAパッケージ20の中央部ほど弱く、パッケージの外周部に近づくにつれて大きくなる。セラミックBGAパッケージ20は、複数のはんだバンプ22でプリント基板24に実装されており、大きいのはんだバンプ22ほど大きい応力を吸収できる。従って、応力の小さい中央部においては、はんだバンプ22の大きさを小さくすることができる。はんだバンプ22の小さい部分では、プリント基板24の高さを高くして接続を可能にしている。

【0043】以上の実装構造では、平板なパッケージを

使用できるので、製造の簡易な且つ汎用のセラミック平板を適用することができ、結果的に低コスト化に繋がる。さらに、パッケージの中央部のはんだバンプを小さくしつつ、熱膨張係数の不整合により発生する応力を適切に緩和することができる。従って、上記の実装構造に熱履歴を加えた場合、GaAsLSIチップ2が割れる確率を低減できる。

【0044】また、図3の実装構造では、GaAsLSIチップ2は、セラミックBGAパッケージ20の中央部の上に実装され、その高速信号の端子は、ワイヤーボンディング26及びパッケージ中央部の最小のはんだバンプ22を介して、プリント基板24上の最上段に構成された高速信号用配線28に接続されている。この高速信号用配線28は、さらに図示しない光素子に接続される。

【0045】図4の電子装置では、本発明に係わる実装構造を適用した例を示している。本電子装置では、図面の右方向から供給されたデータがセラミックBGAパッケージ20上のGaAsLSIチップ2で処理され、より短い配線長により、抵抗Rを介してレーザダイオードLD(光素子)へ伝送される。

【0046】上記の実装構造によれば、GaAsLSIチップ2は、より短い配線によって、光素子に接続される。従って、高速信号をより低損失で、GaAsLSIチップと光素子との間を伝搬させることができる。なお、図3の実装構造では、図2に示したプリント基板24の代わりに図5に示したプリント基板30を使用することもできる。図5は、本発明に係わるプリント基板の第2実施例の構造図である。図5に示すプリント基板30では、図1に示したセラミックBGAパッケージ20に形成したはんだバンプ22の高さに対応して、はんだバンプ22を受け入れるための凹部32が形成されている。さらに、各凹部32には、はんだバンプ22と接合するための配線パターン及びフットプリントが形成されている。このような凹部パターンは、配線パターンを内部に有する多層プリント基板に、表層から内層の配線パターンにドリルをつきあてることにより容易に形成できる。

【0047】図5に示すプリント基板30を使用した場合も、セラミックBGAパッケージ20の中央部のはんだバンプ22を小型化でき、かつ熱膨張係数の不整合性によって発生する応力を緩和することができる。さらに、プリント基板30の最も表層に高速信号用配線を形成し、セラミックBGAパッケージ20の最小のはんだバンプ22と接合することによって、GaAsLSIチップ2からの高速信号をより短い配線長で光素子等へ伝搬することができる。

【0048】図6は、本発明に係わるセラミックBGAパッケージの第2実施例の構造図である。図1に示すように、大きさが異なるはんだバンプ22を混載している

11

セラミックBGAパッケージ20では、リフロー時に大きいはんだバンプの凝集力の影響により、小さいはんだバンプが潰れる恐れがある。従って、接続信頼性が確保できない。

【0049】小さいはんだバンプの潰れ防止のために、図6に示すように、小さいはんだバンプを、中心部を銅Cuで構成し外周部をはんだ(60Sn/40Pb)で構成したコア入りバンプ22aで構成する。このコア入りバンプ22aは、リフロー時の大きいはんだバンプの凝集力によっても潰れにくい特徴を有している。従って、実装時、外周部のはんだバンプ(60Sn/40Pb)の溶融時の凝集力によって、小さなはんだバンプ22aが潰れることを防止できる。

【0050】図7は、本発明に係わるプリント基板の第3実施例の平面図である。図7に示すプリント基板40では、セラミックBGAパッケージ20のはんだバンプ22と接合するためのフットプリント42が形成され、さらにそれらの間にスルーホール(例えば、直径0.3mm程度)44が形成されている。このようにスルーホール44を形成すると、プリント基板40に熱履歴が加わった場合、各フットプリント42を中心として、プリント基板40は伸び縮みする。

【0051】従って、セラミックBGAパッケージ20(熱膨張係数7ppm)をプリント基板40(熱膨張係数20ppm)に実装したときの、熱膨張係数の不整合によって各フットプリント42に発生する応力は、非常に小さくなる。このように、本プリント基板40では、スルーホール44を各フットプリント42の間に形成することにより、熱膨張係数の不整合による応力を緩和することができる。

【0052】次に、高い接続信頼性を得るための本発明に係わるセラミックBGAパッケージの実装構造について、図8を参照して説明する。図8は、本発明に係わるセラミックBGAパッケージの第3実施例をはんだバンプ形成面から見た図である。本セラミックBGAパッケージ50では、高速特性を安定化させるために、はんだバンプ形成面にランドパターン52が形成されている。さらに、ランドパターン52の上には、バンプ用ランド54が形成されている。

【0053】ランドパターン52では、その最表層のパターンは、薄膜Ni等の酸化し易くはんだ濡れが悪い金属で構成されている。また、バンプ用ランド54の最表層のパターンは、薄膜Auで形成されている。このように、有機系レジストを使用せず、金属めっきによってはんだバンプを形成したため、バンプ用ランド54のサイズのばらつきを抑えることができる。その結果、はんだバンプの高さのばらつきを抑えることができ、接続不良の発生確率を低減することができる。

【0054】次に、良好な実装性を得るための本発明に係わるセラミックBGAパッケージの構造について、図

12

9及び図10を参照して説明する。図9は、本発明に係わるセラミックBGAパッケージの第4実施例をはんだバンプ形成面から見た図である。図10は、本発明に係わるセラミックBGAパッケージの第5実施例をはんだバンプ形成面から見た図である。

【0055】図9に示したセラミックBGAパッケージ60では、パッケージの四隅に良否判定用パターン62が、はんだバンプ64と共に形成される。良否判定用パターン62は、セラミックBGAパッケージ60が切り出されるなどして製造されるとき、外形寸法から所定の位置に納まるように形成される。さらに、良否判定用パターン62は、はんだバンプ64と同じマスクを用いて形成されるので、それらの位置関係は常に正確に保たれる。

【0056】図10に示したセラミックBGAパッケージ70においても同様に、パッケージの四隅にスルーホール72が、はんだバンプ74と共に形成される。スルーホール72は、セラミックBGAパッケージ70が切り出されるなどして製造されるとき、外形寸法から所定の位置に納まるように形成される。さらに、スルーホール72は、はんだバンプ74と同じマスクを用いて形成されるので、それらの位置関係は常に正確に保たれる。

【0057】図9及び図10に示したセラミックBGAパッケージ60、70では、それらの製造後、良否判定パターン62又はスルーホール72がパッケージ本体から欠けている場合、及びパッケージの外形寸法に対して所定の位置(例えば $L1 \pm \Delta L1$ 、 $L2 \pm \Delta L2$)から外れている場合、不良品として除去される。

【0058】このように、セラミックBGAパッケージ60、70は、容易に良否判定が行なえるので、汎用のSDM用の量産搭載機を使用してプリント基板に実装する場合、搭載位置がずれる恐れが大幅に低減できる。従って、良好な実装性を実現できる。

【0059】以上、本発明の実施例により説明したが、本発明はこれらの実施例に限定されるものではなく、本発明の範囲内で改良及び変形が可能であることは言うまでもない。

【0060】

【発明の効果】上述したように、本発明によれば以下に示す効果を有する。請求項1記載のバンプグリッドアレイ型パッケージ、及び請求項2又は3記載の基板、並びに請求項4又は5記載の実装構造においては、平坦な下面を有するパッケージを使用でき、かつパッケージの外周方向にはんだバンプの寸法が大きくなるように構成される。従って、製造の簡易な汎用のセラミック平板をパッケージとして使用できるので低コスト化が実現できる。さらに、パッケージの中央部のはんだバンプを小さくしつつ、熱膨張係数の不整合により発生する応力を適切に緩和することができる。従って、上記の実装構造に熱履歴を加えた場合、バンプグリッドアレイ型パッケー

ジ上に搭載した半導体装置が割れる確率を低減できる。

【0061】請求項6記載のバンパグリッドアレイ型パッケージ、請求項7又は8記載の基板、及び請求項9又は10記載の実装構造、並びに請求項11記載の電子装置においては、パッケージ中央に搭載された半導体装置の高速信号用端子は、パッケージの中央部に形成された比較的小さなはんだバンパを介して、基板の高速信号伝搬用配線パターンに接続される。

【0062】従って、半導体装置は、より短い配線長によって、光素子等の他デバイスに接続される。よって、高速信号を、より低損失で半導体装置と光素子等との間を伝搬させることができる。請求項12記載のバンパグリッドアレイ型パッケージにおいては、はんだバンパは、中心部に第1の金属を有し外周部にはんだを有するコア入りバンパを含む。従って、実装時、外周部のはんだバンパの溶融時の凝縮力によって、中央部の小さなはんだバンパが潰れることを防止できる。

【0063】請求項13記載の基板においては、バンパグリッドアレイ型パッケージを実装する領域に、複数のスルーホールが形成されている。従って、熱膨張係数の不整合による応力を緩和することができる。請求項14記載のバンパグリッドアレイ型パッケージにおいては、ランドパターン上のはんだバンパに関して、有機系レジストを使用せず、金属めっきによってはんだバンパを形成している。従って、はんだバンパの高さのばらつきを抑えることができ、接続不良の発生確率を低減することができる。

【0064】請求項15又は16記載のバンパグリッドアレイ型パッケージにおいては、パッケージの端部に良否判定用パターン或いは良否判定用スルーホールが形成されている。従って、良否判定を容易に行なえる。その結果、汎用の表面実装用の量産搭載機を使用して基板に実装する場合、搭載位置がずれる恐れが大幅に低減でき、良好な実装性を実現できる。

【図面の簡単な説明】

【図1】本発明に係わるセラミックBGAパッケージの第1実施例の構造図。(A)は、セラミックBGAパッケージのはんだバンパ形成面から見た図、(B)は、セラミックBGAパッケージの断面図

【図2】本発明に係わる基板の第1実施例の構造図。

【図3】図1に示したセラミックBGAパッケージの図2に示した基板への実装構造を示す図。

【図4】本発明に係わる電子装置の第1実施例の構造図。

【図5】本発明に係わるプリント基板の第2実施例の構造図。

【図6】本発明に係わるセラミックBGAパッケージの第2実施例の構造図。

【図7】本発明に係わるプリント基板の第3実施例の平面図。

【図8】本発明に係わるセラミックBGAパッケージの第3実施例をはんだバンパ形成面から見た図。

【図9】本発明に係わるセラミックBGAパッケージの第4実施例をはんだバンパ形成面から見た図。

【図10】本発明に係わるセラミックBGAパッケージの第5実施例をはんだバンパ形成面から見た図。

【図11】従来の高速信号用LSIチップの実装構造例1。

【図12】従来の高速信号用LSIチップの実装構造例2。

【図13】従来の高速信号用LSIチップの実装構造例3。

【図14】従来のセラミックBGAパッケージの構造例。(A)は、セラミックBGAパッケージをはんだバンパ形成面から見た図、(B)は、セラミックBGAパッケージの断面図。

【図15】従来のセラミックBGAパッケージをはんだバンパ形成面から見た図。

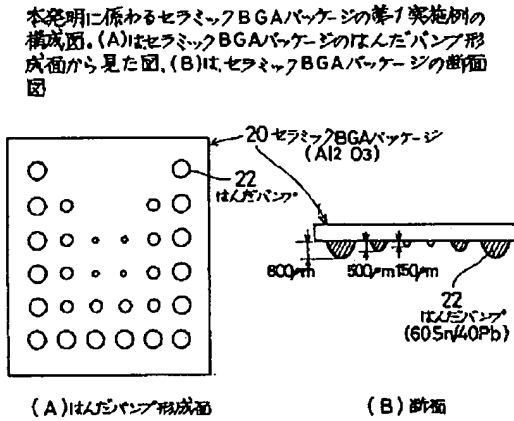
【符号の説明】

- 1 プリント基板
- 2 GaAsLSIチップ
- 3 光素子
- 4 チップ抵抗
- 5 エポキシ樹脂
- 6 光ファイバ
- 7 セラミックQFP
- 8 リード
- 9 セラミックBGAパッケージ
- 10 はんだバンパ
- 11 エポキシ樹脂
- 12 グランドパターン
- 13 ランド
- 20 セラミックBGAパッケージ
- 22 はんだバンパ
- 22a コア入りバンパ
- 24 プリント基板
- 25 配線パターン
- 26 ワイヤーボンディング
- 28 高速信号用配線
- 30 プリント基板
- 32 凹部
- 40 プリント基板
- 42 フットプリント
- 44 スルーホール
- 50 セラミックBGAパッケージ
- 52 グランドパターン
- 54 バンパ用ランド
- 60 セラミックBGAパッケージ
- 62 良否判定パターン
- 64 はんだバンパ

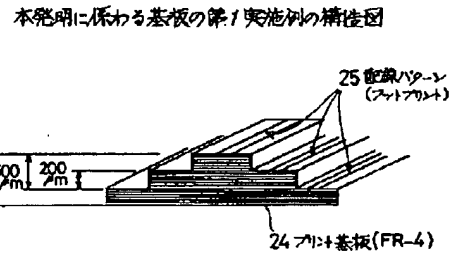
15
70 セラミックBGAパッケージ
72 スルーホール

74 はんだバンプ

【図1】

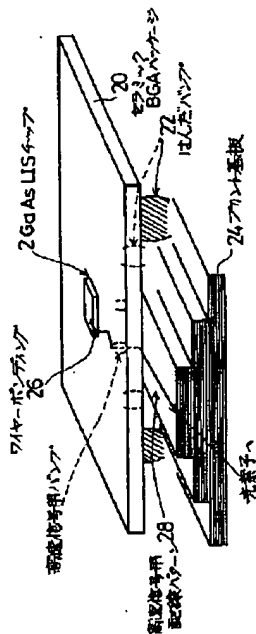


【図2】



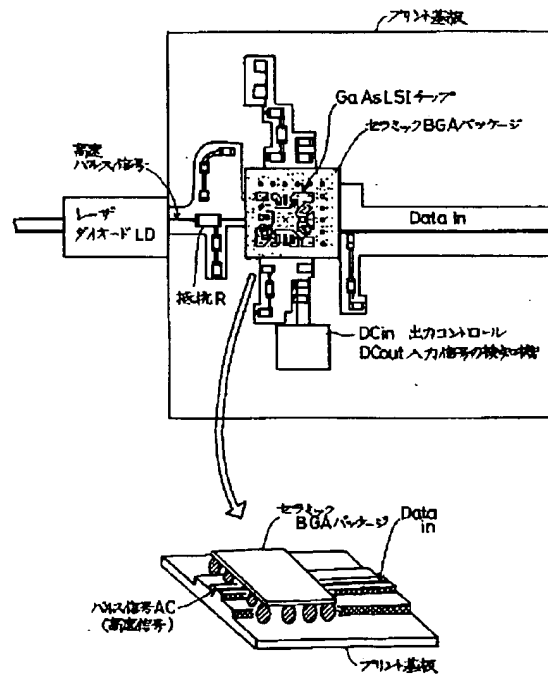
【図3】

図1に示したセラミックBGAパッケージの図2に示した基板への実装構造を示す図



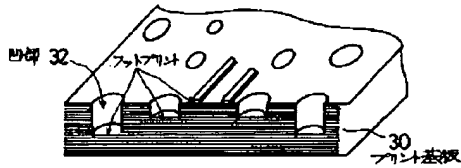
【図4】

本発明に係る電子装置の第1実施例の構造図



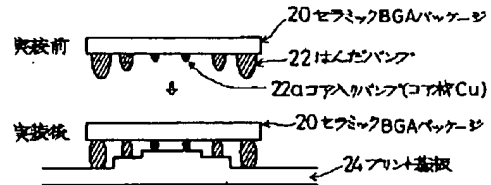
【図5】

本発明に係わるプリント基板の第2実施例の構造図



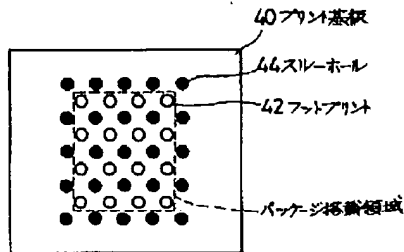
【図6】

本発明に係わるセラミックBGAパッケージの第2実施例の構造図



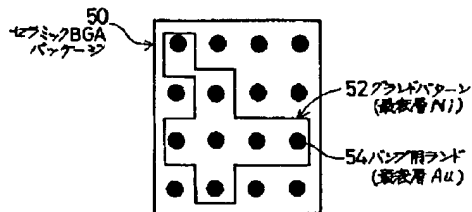
【図7】

本発明に係わるプリント基板の第3実施例の平面図



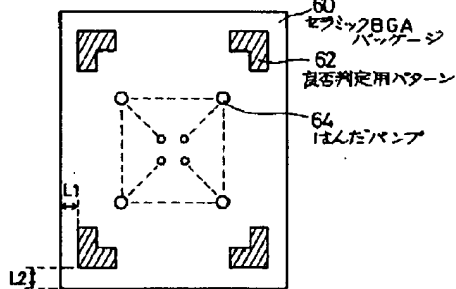
【図8】

本発明に係わるセラミックBGAパッケージの第3実施例をはんだバンプ形成面から見た図



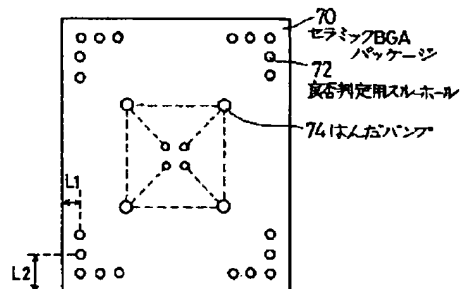
【図9】

本発明に係わるセラミックBGAパッケージの第4実施例をはんだバンプ形成面から見た図



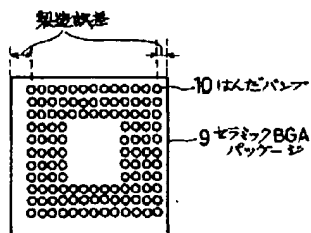
【図10】

本発明に係わるセラミックBGAパッケージの第5実施例をはんだバンプ形成面から見た図



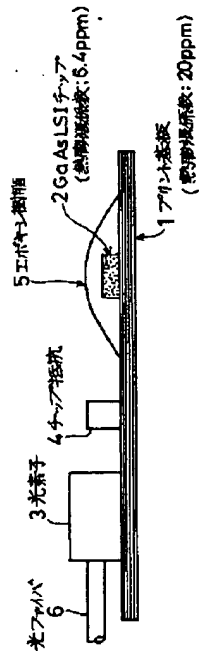
【図15】

従来のセラミックBGAパッケージをはんだバンプ形成面から見た図



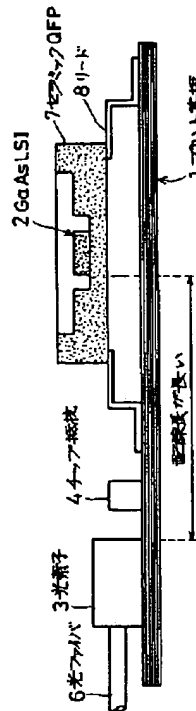
【図11】

従来の高速信号用LSIチップの実装構造例1



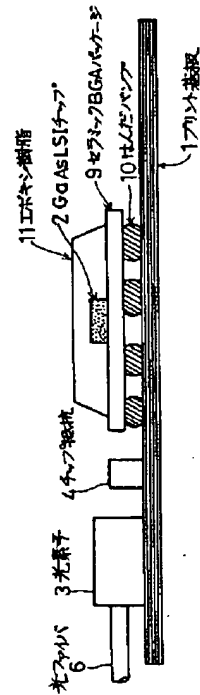
【図12】

従来の高速信号用LSIチップの実装構造例2



【図13】

従来の高速信号用LSIチップの実装構造例3



【図14】

従来のセラミックBGAパッケージの構造例。(A)は、セラミックBGAパッケージをはんだバンプ形成面から見た図。(B)は、セラミックBGAパッケージの断面図

